



数字化工业软件

Veloce原型验证解决方案加速支持AI功能的HPC SoC的验证

内容摘要

本白皮书详细介绍了如何满足公司高性能计算（HPC）人工智能（AI）系统芯片（SoC）设计的质量要求并加速上市时间的过程。首先探讨了设计用例，说明了支持AI功能的HPC系统和资源对当今世界产生的影响。然后阐述了其基本架构，重点介绍了如何选择确定验证目标以及最佳的验证方法。最后，我们就如何选择最佳的FPGA原型验证解决方案来提高硬件和软件验证效率进行了总结。

Stephen Bailey, 西门子EDA原型验证解决方案产品管理总监

Antonio Costa, 西门子EDA原型验证解决方案高级产品营销经理

引言

在英国高性能计算特别兴趣小组 (HPC-SIG) 2010年的第一期报告中, 下列这段话引起了大量使用HPC技术的公司和研究机构的共鸣。

过去十年里, 高性能计算经历了一场变革, 主要表现为从使用昂贵的传统专用超级计算机转向使用成本相对低廉、非专用设计的成品系统。(https://cgi.csc.liv.ac.uk › HPC-SIG_Report2010)

来到2021年, 以前只有理论科学家才使用的高性能计算 (HPC) 系统, 现在已在更广泛的领域里成为重要的研究工具, 并提供全新的远程服务。

这些广泛的领域包括研究和娱乐。

研究: 医疗、金融、能源、宇宙科学、材料和气象。

娱乐: 社会和教育、流媒体、游戏、信息和社交媒体应用程序。

所有这些应用都会产生和使用海量数据 (大数据)。幸运的是, 机器学习 (ML) 和AI算法的进步使得充分理解和利用这些数据成为可能, 并提升所提供信息的价值。

HPC应用为何增长得如此之快?

高性能计算引擎已被软件开发人员和理论科学家使用了至少十年。HPC技术的核心是利用并行处理和硬件加速器来运行高级、复杂的应用程序。

对处理速度越来越高的要求极大地推动了更复杂嵌入式芯片系统的需求。如今支持AI功能的HPC SoC可以达到超50亿门 (5BG) 甚至更多, 而且设计规模仍在快速增长。

那么, 设计和验证团队是如何着手进行支持AI功能的HPC系统设计创建呢? 特别像是项目负责人和你讨论世界是如何在七天被创造出来的, 并且盯着你, 好像在说: “你能在更短时间内完成, 对吧?”

尽管通常公司会激励工程师尽量去做不可能完成的任务, 但也不能让他们感到灰心沮丧无从下手。虽然挑战巨大, 但幸运的是还有许多提高生产力的工具可供使用。

每个设计者都知道, 选择适合任务的正确工具可以将不可能变为现实。

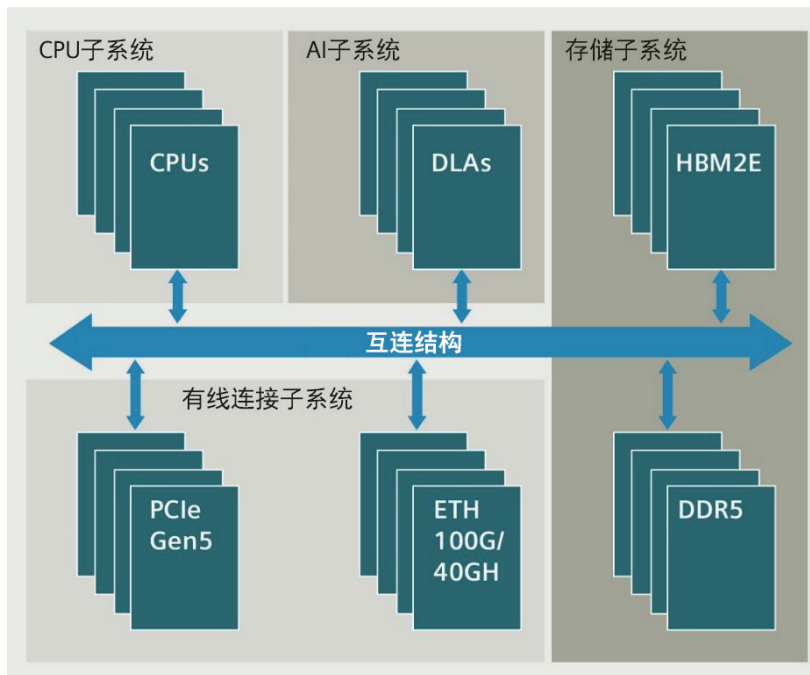


图1：支持AI功能的HPC SoC基本架构。

支持AI功能的HPC SoC验证

什么才是进行支持AI功能的HPC SoC验证的正确工具呢？我们先来看看SoC设计架构以及验证方法的基本类型。

图1给出了支持AI功能的HPC SoC基本架构示意图。

SoC由在子系统里重复使用的不同IP模块组成。

组成支持AI功能的HPC SoC的重要IP模块包括：

- 多个CPU
- 多个DLA (AI-机器学习-深度学习加速器)
- 多个最新一代通信接口：PCIe Gen5、Ethernet 100G/40G
- 多个存储器：大容量DDR5内存和高带宽内存 (HBM)
- 互连结构

加速SoC验证的挑战

在过去的设计和验证流程中，软件团队必须等待至少第一版（如果不是最终版）硅片出炉后，才能开始进行软件集成和验证。随着上市时间压力的增加，在设计和验证流程的早期就开始进行硬件和软件开发，成为了产品成功的关键。这一新的设计和验证理念被称为“左移”，它将硬件和软件开发提到了同等重要的地位。

支持AI功能的HPC SoC的复杂性在于，需要同时进行硬件和软件验证以实现：

- 目标性能
- 设计坚固性
- 功耗目标

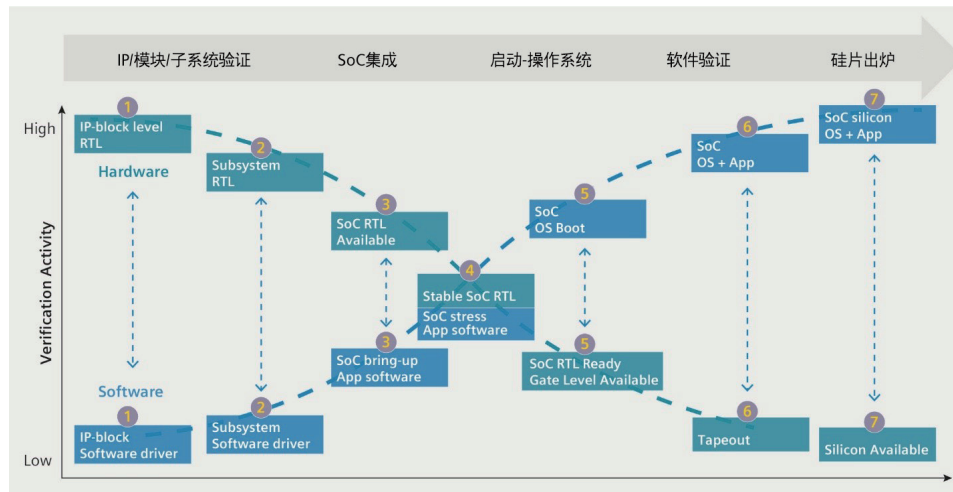


图2：设计和验证的重要阶段。

硬件团队需要加速应用专用集成电路（ASIC）验证的工具，软件团队需要能够利用实际SoC设计进行早期软件验证的工具。加速软件验证最终也加速了SoC设计验证工具的进程，因为二者之间有着越来越紧密的联系，并且关乎最终产品的整体功能和性能。图2显示出了SoC设计和验证流程中的不同阶段。

为了加速SoC验证，高生产力的团队会采取硬件验证与软件验证同时进行的方法。现在我们来详细了解这些设计和验证阶段，看看它们如何帮助达成硬件和软件验证目标。

- 硬件验证：这是通过仿真来进行的待测设计（DUT）功能验证。DUT通过直接和伪随机激励进行验证。激励可通过UVM驱动的平台或使用DPI-C仿真器API的软件驱动测试台来生成。

利用以下指标衡量验证完整性：

- 代码覆盖率
- 功能覆盖率
- 功耗相关覆盖率
- 软件和系统验证：通常将DUT硬件和软件置于真实环境下进行验证。

这种方法能够进行：

- DUT（硬件+软件）与外部设备之间的互操作性验证
- DUT（硬件+软件）符合行业标准验证
- DUT（硬件+软件）鲁棒性测试
 - 耗时数小时或几天的回归测试
 - 上电/掉电、连接/断开序列测试
 - 容错测试

仿真器和硬件加速器非常适合硬件验证，因为它们具有对设计内部状态的完全可见性。这种可见性包括每个时钟周期的数据，从而能收集到广泛的覆盖信息。另一方面，原型验证平台非常适合软件验证。

支持AI功能的HPC SoC利用FPGA原型验证平台来验证，可实现最高硅前运行时性能。虽然在原型验证中SoC内的可见性和可控性更加有限，但对于重点在于软件可见性、可控性和调试的软件验证而言，这一缺陷可以接受。

从表1和表2中可以看到仿真和原型验证都适用的重叠区域。此时应根据平台可用性、SoC RTL的总体成熟度等因素来决定使用哪种工具。除了可见性和可控性，采取原型验证时还存在编译时间较长这一缺陷。在波动频率仍然较高的RTL变得更加成熟之前，仿真将是更有吸引力的验证工具。

	速度	可见性
RTL仿真/模拟	慢/中等	完全
FPGA原型验证	快	低/中等

表1：比较不同验证技术。

	硬件设计开发					软件 and 应用程序开发			
	设计开发期间的IP级硬件调试	设计开发期间的SoC级硬件调试	通过RTL代码Drop进行循环验证	开发低级驱动器软件	运行回归/合规性测试套件	构建验证程序或实时性能敏感(视频)应用程序	启动操作系统和固件	软件开发和测试	通过应用软件和外部接口进行SoC/系统验证
仿真	适用	适用	适用	适用	适用	适用			
原型				适用	适用	适用	适用	适用	适用

这些是典型用例，具体到每个客户将有不同。距离中心越远的用例，具有越高的确定性。

表2：硬件vs软件开发平台。

至此，我们已了解了在何时和哪些阶段适合使用原型验证解决方案 – 早期软件开发和系统验证。现在我们来确定设计周期中每个阶段最适合的原型验证平台。西门子EDA提供的两个原型验证平台分别为桌面原型验证解决方案Veloce™ proFPGA，以及企业级原型验证解决方案Veloce Primo。

关键节点1和2：IP模块和子系统电路在环测试 (ICE)

IP模块通常为低于4,000万门的小型设计，IP模块软件驱动器验证可在IP RTL变稳定时开始。

IP示例：

- 以太网接口
- DDR5内存接口
- 深度学习加速器 (DLA)

多个IP模块可构成子系统以实现宏观功能，通常可以适配在四个或更少FPGA中（尽管更多模块也有可能）。同样，子系统软件驱动器验证可在子系统RTL变稳定时开始。

子系统示例：

- 有线连接子系统：PCIe + 以太网
- 内存子系统：DDR5 + HBM内存

对于有ICE（协议或外设接口）验证需求的小型设计，Veloce proFPGA可为IP和子系统验证及软件开发提供桌面型、模块化、可扩展的多FPGA ASIC原型验证解决方案。

一个IP模块适合单FPGA的Veloce proFPGA uno系统，并且能以极高的速度运行（约100MHz或更高，具体速度取决于模块是否能够很好的适配FPGA），从而实现合规性测试和精确互操作性测试所需的“全速”性能（图3）。

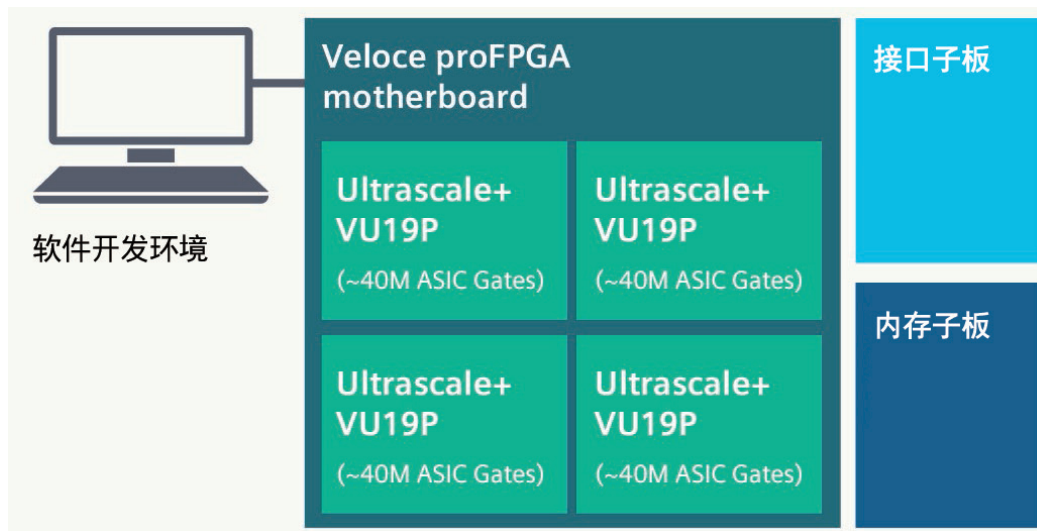


图3：IP模块/子系统验证体系框图。

子系统一般适合多FPGA的Veloce proFPGA duo或quad系统。多FPGA设计中断了多个FPGA之间的逻辑数据路径，从而降低了可达到的最高速度。为了尽可能减少工作频率的下降，必须小心地进行设计分区（图4）。

Veloce原型验证系统软件会进行自动设计分区和数千兆位引脚复用IP插入，可在无需用户进行任何RTL设计更改的情况下实现最佳性能。每个FPGA模块可以连接自己的ICE配件接口：PCIe、Ethernet、DDR及用于实际I/O连接的HBM。

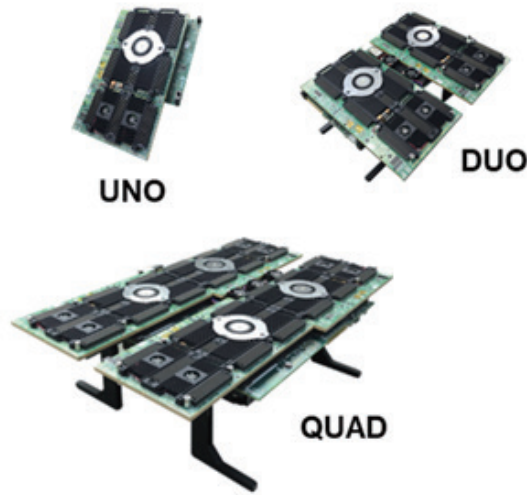


图4：Veloce proFPGA验证系统。

Veloce proFPGA是IP和子系统团队的最佳解决方案，适用于需要进行IP和子系统级验证以及软件驱动程序验证的场景，支持连接真实世界的设备，执行互操作性测试和合规性测试。

关键节点3至6：通过在线电路仿真进行SoC验证
子系统和IP验证完成之后，SoC设计团队接下来可将所有子系统组装在一起进行最终SoC的验证，软件团队可以开发系统级应用程序。此类设计的规模非常之大，可能达到数十亿门。任何问题都需要多个团队联合进行分析，而这些团队大多数情况下都分布在全球各地。

为了加速SoC验证，Veloce Primo解决方案提供了企业级原型系统。Veloce Primo可扩展至最多320个FPGA（120亿门），允许多个用户同时进行远程访问，并提供虚拟接口及虚拟实验室测试设备，比如PCIe、以太网及DDR等。访问虚拟接口意味着无需与原型平台及实验室测试设备建立物理连接。设计能以约10MHz的频率运行，具体取决于FPGA分区的完成情况。

图5所示为一套高效的企业级FPGA原型系统。它包含Veloce Primo硬件、用于编译和运行时执行控制的VPS软件、以太网和PCIe VirtuaLAB（虚拟协议生成器/分析器）、用于波形可视化的可视化应用程序，以及用于多用户访问管理和Veloce Primo硬件诊断的企业级服务器应用程序。

可随时将一定数量的FPGA动态分配给一定数量的用户，进行IP模块、子系统和SoC的设计和软件验证任务调度，而不影响其他用户的工作效率。

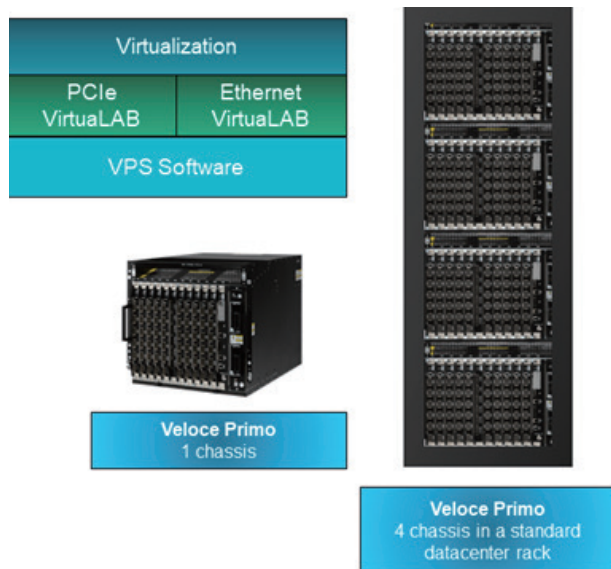


图5：Veloce Primo。

Veloce VPS软件

Veloce proFPGA系统和Veloce Primo系统都配有Veloce VPS软件，可使IP验证团队、子系统验证团队和SoC验证团队都使用相同的VPS原型验证流程及相同的设计编译工具。这可节省从IP到子系统再到SoC验证团队设计转接的宝贵时间。

多个FPGA中的设计分区可完全自动化，用户也可提供引导和限制条件，以实现比全手动操作更快的最高性能。

Veloce proFPGA和Veloce Primo的调试工具相同。因为设计时钟可在不影响外部接口的情况下暂停，所以可在使用ICE或虚拟环境时利用探针对设计进行检测，并通过追踪运行时指定信号实现实时可视化，或者在使用虚拟环境时实现设计的全面可视化。

每个团队可以为设计提前做好测试工具，以便下一个团队可以利用测试工具加快调试和信息收集。对ICE的精度没有要求时，可以利用具有Veloce VirtuaLAB环境模型的虚拟环境来进行多个子系统和SoC验证任务。除了实现全面可视化之外，调试和确定性行为的虚拟环境，还增加了原型资源管理的灵活性和便利性，尤其是对于远程用户。

软件开发人员可通过虚拟UART和虚拟JTAG与SoC设计进行虚拟连接，以进行调试、定义断点和逐步运行。通过查看更相关的调试信息、在相同设计事件序列中进行操作，数字设计和软件团队可以进行轻松、高效沟通。

结论

为了在每个开发阶段充分验证支持AI功能的HPC SoC，硬件和软件验证都是必要的。Veloce原型系统解决方案为IP、子系统、SoC设计和软件验证团队提供了最有效的工具和流程，以加速SoC验证。如今，由于西门子EDA集成电路验证部门的前瞻性，这一功能已成为Veloce硬件辅助验证系统中的集成技术。

- Veloce proFPGA桌面原型适用于IP块和子系统验证团队以及希望进行本地测试的开发人员。虽然可以使用虚拟环境，但Veloce proFPGA平台已针对ICE环境进行了优化。此外，开发人员可以将桌面原型交付给客户，以便于系统集成和验证。ICE环境最适合该使用场景。

- Veloce Primo企业级原型验证平台提供了适合SoC验证和SoC软件应用团队的高容量，适用于需要更高性能的硬件辅助验证平台，能够集成多个子系统以实现完整的SoC功能。相比市场上的其他解决方案，它针对虚拟环境进行了优化，就比如Veloce Transactor Library和Veloce VirtuaLAB解决方案。需要真实环境激励时，它还支持全速和调速ICE接口。

许多因素决定了哪种平台最适合特定情况或需求，答案可能是两者兼具，或是选择其中之一。西门子EDA技术团队将帮助您确定最适合的方案。

与市场上的其他解决方案相比，Veloce原型解决方案提供了无与伦比的设计执行速度，节省了宝贵的时间。尽管七天内验证复杂的SoC可能仍然难以实现，但Veloce原型解决方案将使您离这一目标更近。

Veloce原型验证系统	所需容量	关键值	使用方式	支持的外设
Veloce Primo	最多120亿门	远程用户	企业、全球访问 数据中心	广泛的虚拟ICE选择
Veloce proFPGA	最多1.6亿门	本地用户 最小设置	个人访问 实验室环境 原型交付给客户	广泛的真实I/O ICE接口选择

西门子数字化工业软件

美洲：1 800 498 5351

欧洲、中东和非洲：00 800 70002222

亚太：001 800 03061910

如需其他电话号码，请点击[此处](#)。

关于西门子数字化工业软件

西门子数字化工业软件通过西门子Xcelerator开放式数字商业平台的软件、硬件和服务，帮助各规模企业实现数字化转型。西门子的工业软件和全面的数字孪生可助力企业优化设计、工程与制造流程，将创新想法变为可持续的产品，从芯片到系统，从产品到制造，跨越各个行业，创造数字价值。Siemens Digital Industries Software - Accelerating transformation.

[siemens.com/software](https://www.siemens.com/software)

©西门子版权所有，2021年。点击[此处](#)，可以找到相关西门子商标的清单。其他商标的所有权归属于各自的所有者。

84204-D3 10/21 K